

## ⑫ 公開特許公報(A)

平2-135564

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月24日

G 06 F 15/16  
12/00  
G 10 H 7/003 5 0 T  
3 0 3 P6745-5B  
8841-5B  
6255-5D  
6255-5D

G 10 H 7/00

審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 昭63-289831

⑰ 出 願 昭63(1988)11月16日

⑱ 発 明 者	久 多 良 木 健	東京都品川区北品川 6 丁目 7 番 35 号	ソニー株式会社内
⑱ 発 明 者	古 橋 真	東京都品川区北品川 6 丁目 7 番 35 号	ソニー株式会社内
⑱ 発 明 者	石 橋 俊 哉	東京都品川区北品川 6 丁目 7 番 35 号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川 6 丁目 7 番 35 号	
⑲ 代 理 人	弁理士 松隈 秀盛		

## 明 細 書

発明の名称 データ処理装置

特許請求の範囲

第1の実行サイクルを有し、そのサイクルに従って実行動作を行うとともに共通のメモリに対してデータの書き込み及び読出しを行う第1の実行手段と、

上記第1の実行サイクルとは異なる第2の実行サイクルを有し、この第2の実行サイクルに従って実行動作を行うとともに上記共通メモリに対してデータの書き込み及び読出しを行う第2の実行手段と、

上記第1と第2の実行手段とのいずれか一方を選択的に上記共通メモリに接続して上記第1と第2の実行手段のいずれか一方と上記共通メモリとの書き込み又は読出しを行わせる選択手段と、

上記第1の実行手段が上記共通メモリに対して書き込み及び読出しを行わない非アクセス期間において上記第2の実行手段が上記共通メモリに対して書き込み及び読出しを可能にするように上記選択

手段を制御する制御手段と、

上記第2の実行手段が上記共通メモリに対して書き込み及び読出しを行う期間が上記非アクセス期間と略一致するようにデータを保持する上記第2の実行手段と上記共通メモリとの間に設けられた保持手段とを有するデータ処理装置。

発明の詳細な説明

以下の順序で本発明を説明する。

A 産業上の利用分野

B 発明の概要

C 従来の技術

D 発明が解決しようとする課題

E 課題を解決するための手段

F 作用

G 実施例

G: 実施例の全体の構成(第6図)

G: 実施例の要部の構成(第1図、第2図)

G: 実施例の他の要部の構成(第3図、第4図)

G: 実施例の動作

G: 実施例の要部の動作

## H 発明の効果

## A 産業上の利用分野

本発明は、例えば電子楽器の音源データ処理用に使用して好適なデータ処理装置に関する。

## B 発明の概要

本発明は、例えば電子楽器の音源データ処理用に使用して好適なデータ処理装置において、実行サイクルの異なる第1及び第2の実行手段に対して共通のメモリを設け、一方の実行手段の非アクセス期間に他方の実行手段のアクセスを行うように調整するようにしたこと、メモリの共用化を計ったものである。

## C 従来の技術

従来、電子楽器の音源またはゲーム機の効果音の音源として、例えば方形波信号をそれぞれ分周比及びデューティ比が異なる複数のプリセット分周器に供給し、各分周器から出力される個々の音

前述のようないわゆる電子音源を用いて、現実の各種楽器の音を再現するためには、極めて複雑な信号処理が必要であり、回路規模が大きくなるという問題があった。

近時、この問題を解消するために、現実の各種楽器の音をデジタル録音して、これをメモリ(ROM)に書き込んでおき、このメモリから所要の楽器の信号を読み出すようにした、いわゆるサンブラ音源が賞用されるようになった。

このサンブラ音源では、メモリの容量を節約するために、デジタル音声信号はデータ圧縮されてメモリに書き込まれ、メモリから読み出された圧縮デジタル信号は伸長処理されて原デジタル音声信号に復する。

この場合、各楽器毎に特定の高さ(ピッチ)の音の信号だけをメモリに書き込んでおき、メモリから読み出した信号をピッチ変換処理して、所望の高さの音の基本周波数信号を得るようにしている。

更に、フォルマントと呼ばれる、各楽器に特有

な信号(いわゆるボイス)を適宜のレベルで合成するものがあった。原発振波形としては、三角波、正弦波等も用いられる。

また、楽器によっては、例えばピアノやドラムのように、全発音期間がアタック、ディケイ、サステイン及びリリースの4区間に分けられ、各区分で信号の振幅(レベル)が特有の変化状態を呈するものがあり、これに対応するため、各ボイスの信号レベルが同様に变化するように、いわゆるADSR制御が行なわれる。

一方、電子楽器用の音源として、正弦波信号を低周波数の正弦波信号で周波数変調(FM)した、いわゆるFM音源が知られており、変調度を時間の函数として、少ない音源で多種多様な音声信号(本明細書ではオーディオ信号を意味する)を得ることができる。

なお、効果音の音源としてノイズ(ホワイトノイズ等)が用いられることがある。

## D 発明が解決しようとする課題

な発音初期の信号波形(例えばピアノの場合には鍵盤をたたいてからハンマーが弦に当たるまでの動作音等の音)はそのままメモリに書き込まれて読出されるが、基本周期の繰返し波形となる部分はその1周期分だけ書き込まれ、繰返して読み出される。

ところで、このような音源データを処理する際に必要とする音源データ及び制御プログラムを一時的に格納するメモリは、比較的大容量のものを必要とし、回路構成が複雑化する不都合があった。

本発明は斯かる点に鑑み、音源データ等のデータ処理時に必要とする一時記憶用のメモリの使用効率を上げて、装置が必要とするメモリを減らすことを目的とする。

## E 課題を解決するための手段

本発明のデータ処理装置は、例えば第1図～第3図に示す如く、第1の実行サイクルを有し、そのサイクルに従って実行動作を行うとともに共通のメモリ(14)に対してデータの書き込み及び読出し

を行う第1の実行手段(13)と、第1の実行手段(13)とは異なる第2の実行サイクルを有し、この第2の実行サイクルに従って実行動作を行うとともに共通メモリ(14)に対してデータの書き込み及び読出しを行う第2の実行手段(10)と、第1及び第2の実行手段(13)、(10)のいずれか一方を選択的に共通メモリ(14)に接続して第1及び第2の実行手段(13)、(10)のいずれか一方と共通メモリ(14)との書き込み又は読出しを行わせる選択手段(77)、(78)、(79)と、第1の実行手段(13)が共通メモリ(14)に対して書き込み及び読出しを行わない非アクセス期間において第2の実行手段(10)が共通メモリ(14)に対する書き込み及び読出しを可能にするように選択手段(77)、(78)、(79)を制御する制御手段(74)と、第2の実行手段(10)が共通メモリ(14)に対して書き込み及び読出しを行う期間が非アクセス期間と略一致するようにデータを保持する第2の実行手段(10)と共通メモリ(14)との間に設けられた保持手段(10a)とを有するものである。

合、本例においてはピアノ等の楽器音は、発音初期のフォルマント成分と呼ばれる非音程成分と、特定の高さの音の1周期分の基本周波数信号である音程成分とに分けて記憶(格納)される。

そして、(10)は電子楽器としてのデジタル信号処理装置(DSP)を全体として示し、信号処理部(11)及びレジスタRAM(12)が含まれる。ROM(1)の各種音源データのうちの所望のデータが、CPU(13)に制御されて、信号処理部(11)を経由して外部RAM(14)に転送される。この外部RAM(14)は例えば64kBの容量を有し、1回のメモリアクセス時間は例えば330nsで、音源データの他に、CPU(13)のプログラムも書き込まれ、後述する如くそれぞれ時分割で用いられる。同様に各種制御データ等が格納されたレジスタRAM(12)も信号処理部(11)及びCPU(13)の双方からそれぞれ時分割で用いられる。

外部RAM(14)から読み出された音源データは、信号処理部(11)において、前述のBRRエンコードと逆のBRRデコード処理により、もとの音源

## F 作用

本発明のデータ処理装置によると、第1の実行手段(13)と第2の実行手段(10)とでアクセス期間を分けるようにしたことで、1個のメモリ(14)が双方の実行手段(10)、(13)に共通で使用でき、このメモリ(14)の使用効率が向上し、メモリを節約することができる。

## G 実施例

以下、第1図～第6図を参照しながら、本発明による電子楽器の一実施例について説明する。

### G1 実施例の全体の構成

本発明の一実施例の全体の構成を第6図に示す。

第6図において、(1)は外部に設けられたROMカートリッジ等の音源ROMであって、前述のようにデジタル録音された、例えば16ビットの各種楽器の多様なデータが準瞬時圧縮されて、例えば4ビットにビット・シフト低減(BRRエンコード)され、ブロック化されて格納される。この場

データに復した後、必要に応じて、さきに述べたようなADSR処理、ピッチ変換等の各種処理を施される。処理後のデジタル音声信号は、D-A変換器(2)を介して、スピーカ(3)に供給される。

### G2 実施例の要部の構成

本発明の一実施例の要部の構成を第1図及び第2図に示す。

本実施例では“A”、“B”…“H”の8ボイスをそれぞれ左及び右の2チャンネルに合成して出力するようになされており、各ボイス及び各チャンネルのデジタル音声信号はそれぞれ時分割で演算処理されるが、説明の便宜上、第1図及び第2図では各ボイス毎及び各チャンネル毎にそれぞれ同じ構成の仮想的ハードウェアを設けてある。

第1図において、(20A)、(20B)…(20H)はそれぞれボイス“A”、ボイス“B”…ボイス“H”に対する信号処理部であって、外部RAM(14)の端子(15)に供給される音源選択データSRC<sub>n</sub>によって音源データ格納部(14V)から読み出され

た所望の音源データがそれぞれ供給される。

この場合、本例においては非音程成分と音程成分とに分けて音源ROM(1)に記憶された楽器音を再生する際には、非音程成分のデータはボイス<sup>#</sup>Aの信号処理部(20A)に供給するようにし、音程成分のデータは他のボイスの信号処理部(20B)～(20H)に供給するように後述する制御データで制御する。

信号処理部(20A)に供給された音源データは、スイッチS<sub>1</sub>を介して、ERRデコーダ(21)に供給されて、前述のようにデータ伸長され、バッファRAM(22)を介して、ピッチ変換回路(23)に供給される。スイッチS<sub>1</sub>には、端子(31a)及び(32a)を介して、レジスタRAM(12)(第6図参照)から制御データKON(キーオン)及びKOF(キーオフ)が供給されて、その開閉が制御される。また、ピッチ変換回路(23)には、演算パラメータ等の制御回路(24)及び端子(33a)を経て、レジスタRAM(12)からピッチ制御データP(H)、P(L)が供給されると共に、制御回路(24)には、

端子(34a)及びスイッチS<sub>2</sub>を経て、例えばボイス<sup>#</sup>Hのような他のボイスの信号が供給される。スイッチS<sub>2</sub>には、端子(35a)を介して、レジスタRAM(12)から制御データFMON(FMオン)が供給されて、その接続状態が制御される。

ピッチ変換回路(23)の出力が乗算器(26)に供給されると共に、レジスタRAM(12)からの制御データENV(エンベロープ制御)及びADSR(ADSR制御)が、それぞれ端子(36a)及び(37a)、制御回路(27)及び(28)と切換スイッチS<sub>3</sub>とを経て乗算器(26)に供給される。スイッチS<sub>3</sub>の接続状態は制御データADSRの最上位ビットによって制御される。

なお、効果音源としてノイズを用いる場合、図示は省略するが、例えばM系列のノイズ発生器の出力がピッチ変換回路(23)の出力と切り換えられて乗算器(26)に供給される。

乗算器(26)の出力が第2及び第3の乗算器(29d)及び(29f)に共通に供給されると共に、レジスタRAM(12)からの制御データLV L(左音量)及

びRV L(右音量)が、それぞれ端子(38a)及び(39a)を介して、乗算器(29d)及び(29f)に供給される。

乗算器(26)の出力の瞬時値OUTXが、端子(41a)を経て、レジスタRAM(12)に供給されると共に、信号処理部(20B)の端子(34b)に供給される。スイッチS<sub>4</sub>の出力の波高値ENVXが、端子(42a)を経て、レジスタRAM(12)に供給される。

また、破線で示すように、信号処理部(20A)の端子(41a)の出力を、信号処理部(20B)の端子(36b)に供給することもできる。

レジスタRAM(12)上の各制御データのマップを次の第1表及び第2表に示す。

アドレス	レジスタ
00	L V L
01	R V L
02	P (L)
03	P (H)
04	ADSR (1)
05	ADSR (2)
06	ENV
07	S R C
08	ENVX
09	OUTX
10～19	ボイス <sup>#</sup> B
20～29	ボイス <sup>#</sup> C
30～39	ボイス <sup>#</sup> D
40～49	ボイス <sup>#</sup> E
50～59	ボイス <sup>#</sup> F
60～69	ボイス <sup>#</sup> G
70～79	ボイス <sup>#</sup> H

第1表

アドレス	レジスタ
0 C	K O N
1 C C	K O P
2 C C	F M O N
3 C	N O N (ノイズオン)
⋮	⋮
0 D	M V L (L, R)
1 D	E V L (L, R)
2 D	E E D L
3 D	E E F B
4 D	E E O N
5 D	E S A
⋮	⋮
0 F ~ 7 F	C <sub>0</sub> ~ C <sub>7</sub> (係数)

第2表

第1表の制御データは各ボイス毎に用意される。第2表の制御データは8ボイスに共通に用意される。アドレス0D以下の制御データは以下に説明する第2図に関するものである。なお、各レジスタはそれぞれ8ビットである。

第2図において、(50L) 及び(50R) はそれぞれ左チャンネル及び右チャンネルの信号処理部であって、第1図の信号処理部(20A) の第2の乗算器

(29L) の出力が、端子T L<sub>1</sub> を経て、左チャンネル信号処理部(50L) の主加算器(51m<sub>l</sub>)に直接に供給されると共に、スイッチS<sub>11</sub>を介して、副加算器(51e<sub>l</sub>)に供給され、第3の乗算器(29r) の出力が、端子T R<sub>1</sub> を経て、右チャンネル信号処理部(50R) の主加算器(51m<sub>r</sub>)に直接に供給されると共に、スイッチS<sub>12</sub>を介して、副加算器(51e<sub>r</sub>)に供給される。

以下同様に、ボイスB~Hの信号処理部(20B)~(20H) の各出力が左及び右チャンネルの信号処理部(50L) 及び(50R) の各加算器(51m<sub>l</sub>), (51e<sub>l</sub>) 及び(51m<sub>r</sub>), (51e<sub>r</sub>) に供給される。

両信号処理部(50L), (50R) の同じボイスに対応するスイッチS<sub>11</sub>, S<sub>12</sub>; S<sub>21</sub>, S<sub>22</sub>; …… S<sub>71</sub>, S<sub>72</sub>には、端子(61a), (61b) …… (61h) を介して、レジスタRAM(12) から制御データE O N<sub>1</sub> (エコーオン), E O N<sub>2</sub> …… E O N<sub>8</sub> が供給され、それぞれ連動して開閉される。

この場合、ボイスAの信号処理部(20A) で上述した非音程成分の信号処理を行っているときに

は、スイッチS<sub>11</sub>及びS<sub>12</sub>は閉状態にならないように制御され、非音程成分には残響音(エコー)が付加されないようにしてある。

主加算器(51m<sub>l</sub>)の出力が乗算器(52)に供給されると共に、レジスタRAM(12)からの制御データM V L (主音量) が端子(62)を介して乗算器(52)に供給され、乗算器(52)の出力が加算器(53)に供給される。

一方、副加算器(51e<sub>l</sub>)の出力は、加算器(54)、外部RAM(14)の左チャンネル・エコー制御部(14E<sub>l</sub>)及びバッファRAM(55)を介して、例えば有限インパルス応答(FIR)フィルタのようなデジタル低域フィルタ(56)に供給される。エコー制御部(14E<sub>l</sub>)には、端子(63)及び(64)を介して、レジスタRAM(12)からの制御データE S A (エコースタートアドレス) 及びE D L (エコーディレイ) が供給される。

低域フィルタ(56)には、端子(66)を介して、レジスタRAM(12)から係数データC<sub>0</sub>~C<sub>7</sub>が供給される。

低域フィルタ(56)の出力が、乗算器(57)を介して加算器(54)にフィードバックされると共に、乗算器(58)に供給される。両乗算器(57)及び(58)には、それぞれ端子(67)及び(68)を介して、レジスタRAM(12)からの制御データE F B (エコーフィードバック) 及びE V L (エコー音量) が供給される。

乗算器(58)の出力は、加算器(53)に供給されて、主加算器(52)の出力と合成され、オーバーサンプリングフィルタ(59)を介して、出力端子L out に導出される。

なお、第2図の外部RAM(14E<sub>l</sub>)及び(14E<sub>r</sub>)は、第1図の外部RAM(14V)と同様に、それぞれ前出第3図の外部RAM(14)の一部分であって、各ボイス毎及び各チャンネル毎に時分割で用いられる。

また、第1図のバッファRAM(22)及び第2図のバッファRAM(55)も、上述と同様に、時分割で用いられる。

## G. 実施例の他の要部の構成

ここで、デジタル信号処理装置(DSP)(10)とCPU(13)とが時分割で外部RAM(14)へのデータの書き込み及び読出しを行うための同期回路を第3図に示す。本例においては、DSP(10)とCPU(13)の夫々のバスラインを、ラッチ回路(10a)及び(13a)とスイッチ(77)、(78)及び(79)を介して外部RAM(14)と接続する。即ち、DSP(10)のアドレスバス、データバス及びコントロールバスを、夫々ラッチ回路(10a)を介してバスライン切換用のスイッチ(77)、(78)及び(79)の第1の固定接点(77a)、(78a)及び(79a)に接続し、CPU(13)のアドレスバス、データバス及びコントロールバスを、夫々ラッチ回路(13a)を介して、スイッチ(77)、(78)及び(79)の第2の固定接点(77b)、(78b)及び(79b)に接続する。そして、夫々のスイッチ(77)、(78)及び(79)の可動接点(77m)、(78m)及び(79m)を、夫々外部RAM(14)のアドレスバス、データバス及びコントロールバスに接続する。そして、水晶発振子(71a)が接続された発振器

(71)よりの周波数信号を、第1の分周器(72)及び第2の分周器(73)に供給し、第1の分周器(72)が出力する分周信号をDSP(10)にクロック信号として供給すると共に、時分割制御回路(74)に制御クロック信号として供給する。そして、この時分割制御回路(74)が出力する切換制御信号により各スイッチ(77)、(78)及び(79)の切換を制御する。

また、この時分割制御回路(74)が出力する時分割信号を比較器(75)の一方の入力端子に供給し、CPU(13)が出力するマシンサイクル信号を比較器(75)の他方の入力端子に供給する。そして、この比較器(75)で、スイッチ(77)～(79)の切換タイミングとCPU(13)のマシンサイクルとの位相差を検出し、一致検出信号をANDゲート(76)の一方の入力端子に供給する。また、第2の分周器(73)が出力する分周信号を、このANDゲート(76)の他方の入力端子に供給する。そして、このANDゲート(76)の出力信号を、CPU(13)にクロック信号として供給する。

ここで、この同期回路の動作を第4図に示すと、

発振器(71)が出力する周波数信号を第1の分周器(72)で分周して得た第4図Aに示す如きクロック信号がDSP(10)に供給されているとする。このとき、この第1の分周器(72)の出力信号が時分割制御回路(74)に供給され、この時分割制御回路(74)では第1の分周器(72)の出力信号の8周期を1周期とした時分割制御を行う。このため、時分割制御回路(74)は、時分割信号として、第4図Bに示す如く、DSP(10)のクロック信号の4周期毎にハイレベルとローレベルとを繰返す信号が出力される。

そして、第2の分周器(73)は、第1の分周器(72)の4倍の分周比に設定され、DSP(10)のクロック信号の1/4の周波数信号が出力され、この周波数信号が、第4図Cに示す如く、CPU(13)にクロック信号として供給される。このとき、CPU(13)のマシンサイクルは、第4図Dに示す如く、時分割信号に同期して変化する信号となるが、電源投入時等において、時分割信号とマシンサイクル信号との位相が反転していることが比較器

(75)で検出されると、ANDゲート(76)に一致検出信号が供給されなくなり、このANDゲート(76)からCPU(13)にクロック信号が供給されなくなる。即ち、第4図Cに示したCPU(13)のクロック信号は、時分割信号とマシンサイクル信号との位相が異なることで、破線で示すパルスが欠落し、マシンサイクルが半サイクル移動して、正常な状態になる。

## G. 実施例の動作

次に、本発明の一実施例の動作について説明する。

音源データ格納部(14V)には、例えばピアノ、サキソホン、シンバル……のような各種楽器の音源データが0～255の番号を付けて格納されており、ピアノ等の非音程成分を有する音源データは、非音程成分と音程成分とで異なる番号を付けて格納される。そして、音源選択データSRC<sub>n</sub>によって選択された8個の音源データが、各ボイスの信号処理部(20A)～(20H)において、時分割

でそれぞれ所定の処理を施される。

本実施例において、サンプリング周波数 $f_s$ は例えば44.1kHzに選定され、1サンプリング周期( $1/f_s$ )内に8ボイス及び2チャンネルで例えば合計128サイクルの演算処理が行なわれる。1演算サイクルは例えば170nSecとなる。

本実施例において、各ボイスの発音の開始(キーオン)と停止(キーオフ)とを示すスイッチ $S_{11} \sim S_{18}$ の制御は、通常とは異なり、別々のフラグを用いて行なわれる。即ち、制御データKON(キーオン)及びKOF(キーオフ)が別々に用意される。両制御データはそれぞれ8ビットであって、別々のレジスタに書き込まれる。各ビット $D_0 \sim D_7$ が各ボイス"A~H"のキーオン、キーオフにそれぞれ対応する。

これにより、使用者(音楽ソフト製作者)はキーオン、キーオフしたいボイスだけにフラグ"1"を立てればよく、従来のように、例えば個々の音符ごとに、変更しないビットを一旦バッファレジスタに書き込むプログラムを作製するという煩わ

しい作業が必要なくなる。

そして、本実施例では"A~H"の8ボイスを時分割で信号処理するため、ピッチ変換回路(23)においては、前後各4サンプルの入力データに基づいて補間演算、即ちオーバーサンプリングを行ない、入力データと同一のサンプリング周波数 $f_s$ でピッチ変換を行っている。所望のピッチは制御データ $P(H)$ 及び $P(L)$ で表わされる。

なお、この $P(L)$ の下位ビットを0にすれば、補間データの不均一な間引きを回避することができて、ピッチの細かい揺らぎが発生せず、商品質の再生音を得られる。

端子(35a)からの制御データFMOMにより、スイッチ $S_{21}$ が閉成されると、前述のように端子(34a)に供給される、例えばボイス"H"の音声信号データがピッチ制御データ $P(H)$ 、 $P(L)$ に代入されたようになって、ボイス"A"の音声信号が周波数変調(FM)される。

これにより、変調信号が例えば数ヘルツの超低周波の場合は被変調信号にビブラートがかかり、

可聴周波の変調信号の場合は被変調信号の再生音の音色が変化して、特別に変調専用の音源を設けずとも、サンブラ方式でFM音源が得られる。

なお、制御データFMOMは、前述のKONと同様に8ビットのレジスタに書き込まれ、各ビット $D_0 \sim D_7$ がボイス"A~H"にそれぞれ対応する。

乗算器(26)においては、制御データENV及びADSRに基いて、ピッチ変換回路(23)の出力信号のレベルが時間的に制御される。

即ち、制御データADSRのMSBが"1"の場合、スイッチ $S_{31}$ は図示の接続状態となってADSR制御が行なわれ、制御データADSRのMSBが"0"の場合にはスイッチ $S_{31}$ が図示とは逆の接続状態となってフェーディング等のエンベロープ制御が行なわれる。

このエンベロープ制御は、制御データENVの上位3ビットにより、直接指定、直線または折線フェードイン、直線または指数フェードアウトの5モードを選択することができ、各モードの初期値には現在の波高値が採用される。

また、ADRS制御の場合、信号レベルは、アタック区間でのみ直線的に上昇し、ディケイ、サステイン及びリリースの3区間では指数的に下降する。

そして、フェードイン及びフェードアウトの時間長は、制御データENVの下位5ビットで指定されるパラメータ値に応じて各モード毎に適宜に設定される。

同様に、アタック及びサステインの時間長は制御データADSR(2)の上位及び下位の各4ビットで指定されるパラメータ値に応じて設定され、サステインレベルと、ディケイ及びリリースの時間長とは、制御データADSR(1)の各2ビットで指定されるパラメータ値に応じて設定される。

本実施例では、演算回数を減ずるため、上述のように、ADSRモードのアタック区間において、信号レベルが直線的に上昇するようになっているが、ADSRモードをエンベロープモードに切換え、アタック区間に折線フェードインモードを対応させると共に、ディケイ、サステイン及びリリースの3区間に指数フェードアウトモードを対応させて、

より自然なADSR制御をマニュアルに行なうことができる。

また、乗算器(26)の信号出力及びエンベロープ制御入力をそれぞれ端子(41a)及び(42a)からレジスタRAM(12)に供給し、サンプル周期ごとに書き換えることにより、例えば同じ楽器の音源データからそれぞれピッチが大きく異なる複数の音声信号を得るような場合、所定ADSRパターンと異なる任意のエンベロープ特性の音声信号が得られる。

第2図の信号処理部(50L)及び(50R)においては、スイッチ $S_{4a}, S_{5a}, \dots, S_{4n}, S_{5n}$ が端子(61a)～(61h)からの制御データEON(EON<sub>1</sub>～EON<sub>n</sub>)によりそれぞれ閉成されて、エコーをかけるべきボイスが選択される。制御データEONは前出第2表に示すように、8ビットのレジスタに書き込まれる。

副加算器(51e)から出力される各ボイスに付与されるエコーの遅延時間は、端子(64)からエコー制御部(14B)に供給される制御データEDLによ

って、例えば0～255msecの範囲で左右のチャンネルで等しく指定される。また、先行及び後続エコーの振幅比は、端子(67)から乗算器(57)に供給される、符号付8ビットの制御データEFBにより左右のチャンネルで同相に設定される。

なお、端子(63)からの制御データESAは、外部RAM(14)のうち、エコー制御に用いる部分の先頭アドレスの上位8ビットを与える。

また、FIRフィルタ(56)には、端子(66)から符号付8ビットの係数 $C_0 \sim C_7$ が供給されて、聴感上、自然なエコー音が得られるように、フィルタ(56)の通過特性が設定される。

上述のようにして得られたエコー信号は、乗算器(53)において制御データEVLを乗算されて、乗算器(52)において制御データMVLを乗算された主音声信号と加算器(53)で合成される。両制御データMVL及びEVLは、いずれも符号なし8ビットであって、相互に独立であり、左右のチャンネルについてもそれぞれ独立である。

これにより、主音声信号、エコー信号をそれぞれ

れ独立にレベル制御することができて、原音響空間をイメージさせるような、臨場感に富む再生音場を得ることができる。

#### G. 実施例の要部の動作

次に、DSP(10)とCPU(13)とが時分割で外部RAM(14)とのデータの入出力を行う動作を、第5図を参照して説明する。

本例の場合、例えば外部RAM(14)の1回のアクセス時間を約330nsとし、DSP(10)の1回のメモリアクセス時間を約240nsとする。また、CPU(13)の1マシンサイクルを約1 $\mu$ sとし、この1マシンサイクル中の約375nsを1回のメモリアクセス時間とする。

ここで、上述した第3図の同期回路より、DSP(10)のクロック信号とCPU(10)のクロック信号と時分割信号とが、第5図A、B、Cに示す如く正常な状態で得られているとする。このとき、CPU(13)の各メモリアクセス期間 $M_c$ は、第5図Dに示す如く、1マシンサイクルSの後半部に

設定される。そして第5図Eに示す如く、この1マシンサイクルS中の前半に、DSP(10)の2回のメモリアクセス期間 $M_{01}$ 及び $M_{02}$ が設定される。

一方、外部RAM(14)の1回のアクセス時間は約330nsで、第5図Gに示す如く、1マシンサイクルS中に3回のアクセス $M_{01}'$ 、 $M_{02}'$ 、 $M_{03}'$ が等間隔で設定される。

このようにDSP(10)、CPU(13)と外部RAM(14)のアクセス期間はずれているが、本例においては時分割制御回路(74)によるスイッチ(77)～(79)の切換制御とラッチ回路(10a)及び(13a)によるラッチ動作でこのずれが調整される如くしてある。即ち、時分割制御回路(74)は、第5図Cに示す如き時分割信号に基いて、外部RAM(14)の1回目のアクセス $M_{01}'$ と2回目のアクセス $M_{02}'$ との期間に、各スイッチ(77)、(78)、(79)の可動接点(77m)、(78m)、(79m)を第1の固定接点(77a)、(78a)、(79a)に接続させ、3回目のアクセス $M_{03}'$ の期間に、各スイッチ(77)、(78)、(79)の可動接点(77m)、(78m)、(79m)を第2の固定接点(77b)、(78b)、



(79b) に接続させるように、第5図Fに示す如き切換制御信号を出力する。そして、CPU(10)に接続されたラッチ回路(10a)は、DSP(10)の1回目のアクセス期間 $M_{01}$ の各バスラインの信号を外部RAM(14)の1回目のアクセス期間 $M_{01}'$ が終了するまでホールドさせると共に、DSP(10)の2回目のアクセス期間 $M_{02}$ の各バスラインの信号を外部RAM(14)の2回目のアクセス期間 $M_{02}'$ が終了するまでホールドさせる。また同様に、CPU(13)に接続されたラッチ回路(13a)は、CPU(13)のアクセス期間 $M_c$ の各バスラインの信号を外部RAM(14)の3回目のアクセス期間 $M_c'$ が終了するまでホールドさせる。なお、この各ラッチ回路(10a)、(13a)の動作は、例えばCPU(13)により制御される。

このようにして、DSP(10)とCPU(13)とが時分割で1個の外部RAM(14)を共用で使用するようになり、外部RAM(14)の使用効率が向上し、少ない数のメモリでDSP(10)とCPU(13)とのデータ処理用の外部RAM(14)が構成できる。そ

して、DSP(10)とCPU(13)とはメセリアクセス期間が異なるのが等間隔に調整され、例えば本例においては、約330ns毎に1回のアクセスが行われるので、比較的低速でアクセスが行われる比較的安価なメモリ装置を外部RAM(14)として使用できるようになる。

なお、上述実施例は、DSP(10)として比較的アクセス速度の速いものを使用し、CPU(13)として比較的アクセス速度の遅いものを使用して組合せた場合の一例について述べたもので、この実施例に限定されるものではなく、組合せるデータ実行手段とメモリのアクセス速度に応じて、各アクセス期間の調整状態は適宜設定すればよい。

さらにまた、本発明は上述実施例に限らず、本発明の要旨を逸脱することなく、その種々の構成が取り得ることは勿論である。

## ニ 発明の効果

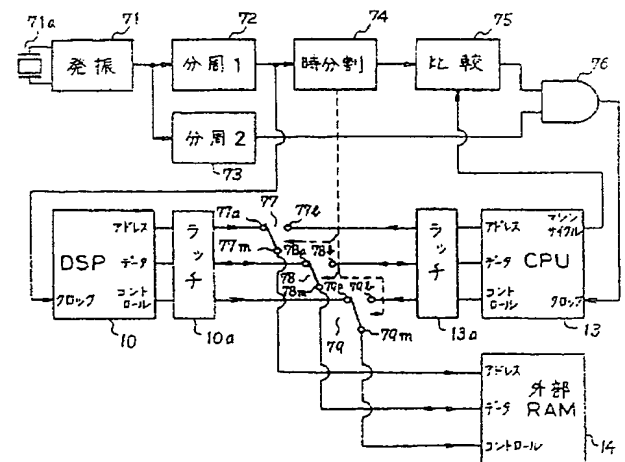
本発明のデータ処理装置によると、1個の外部メモリを2組のデータ実行手段で共用するように

したので、メモリの使用効率が向上し、メモリを節約することができる利益がある。

## 図面の簡単な説明

第1図、第2図及び第3図は本発明のデータ処理装置の一実施例の要部の構成を示すブロック図、第4図及び第5図は夫々第1図例の説明に供するタイミング図、第6図は本発明の一実施例の全体構成を示すブロック図である。

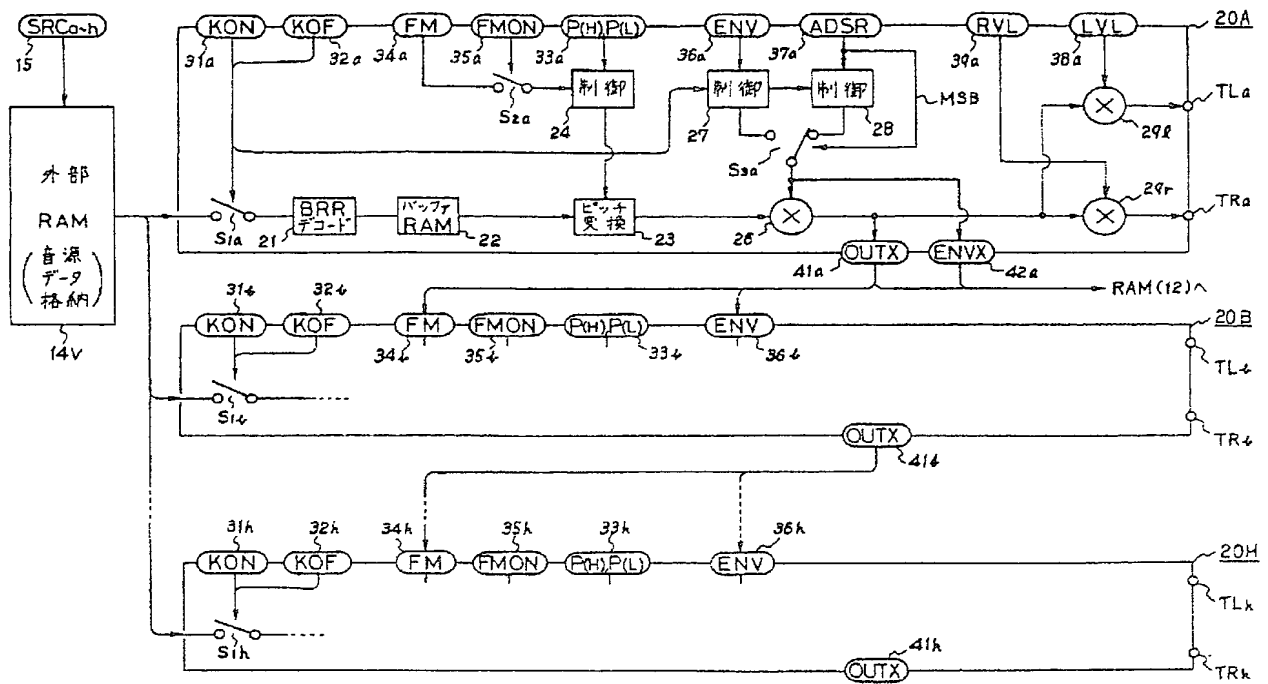
(10)はデジタル信号処理装置、(10a)はラッチ回路、(12)はレジスタRAM、(13)はCPU、(13a)はラッチ回路、(14)は外部RAM、(14V)は音源データ格納部、(14E<sub>0</sub>)、(14E<sub>r</sub>)はエコー制御部、(20A)、(20B)・・・(20H)、(50L)、(50R)は信号処理部、(74)は時分割制御回路、(77)、(78)、(79)はスイッチである。



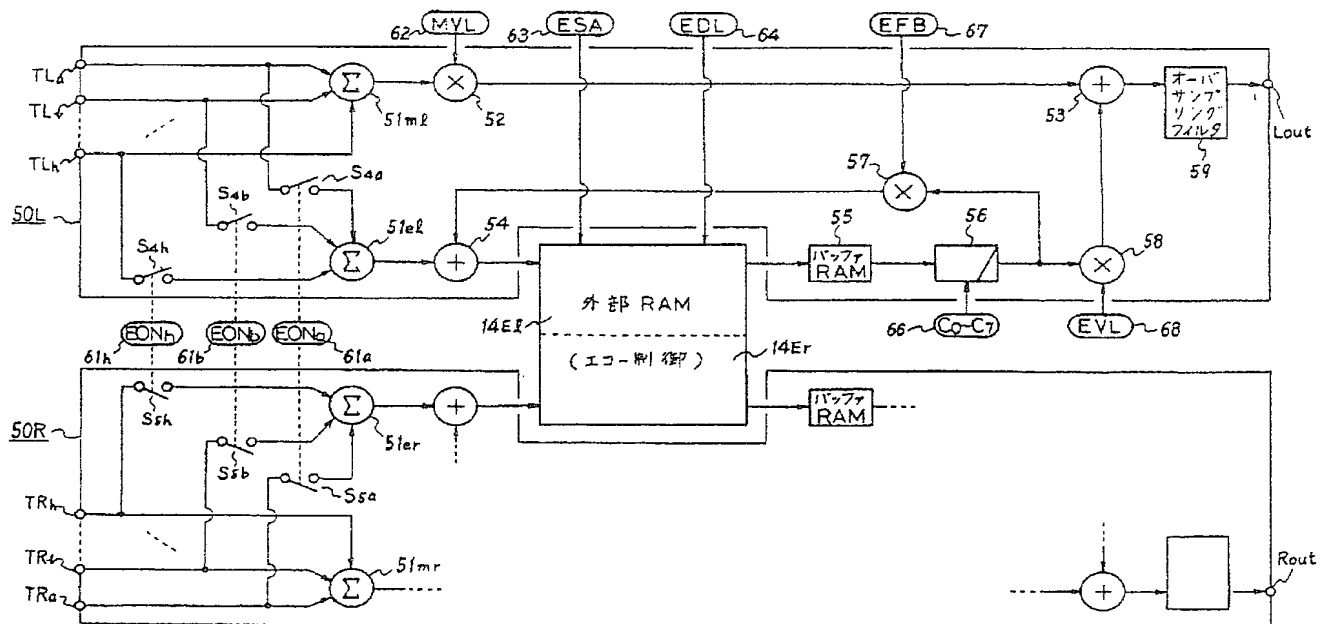
実施例の要部  
第3図

代理人 伊藤 貞

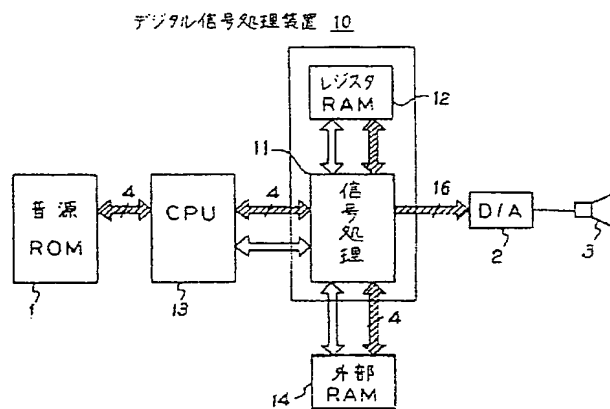
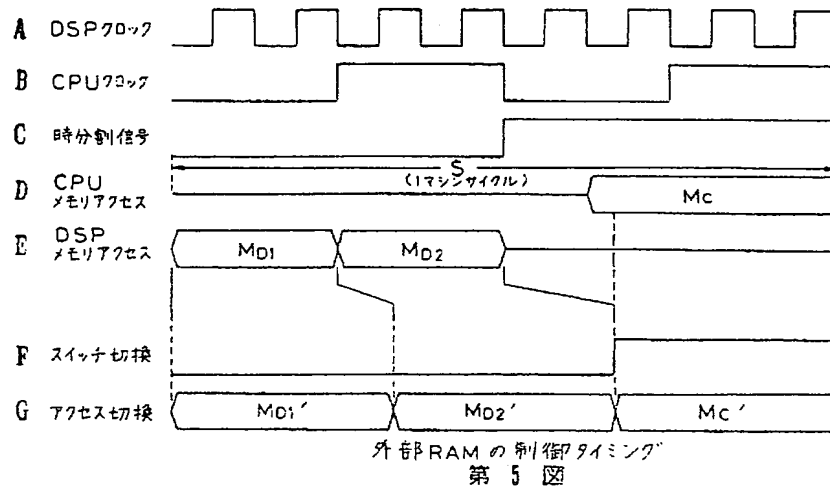
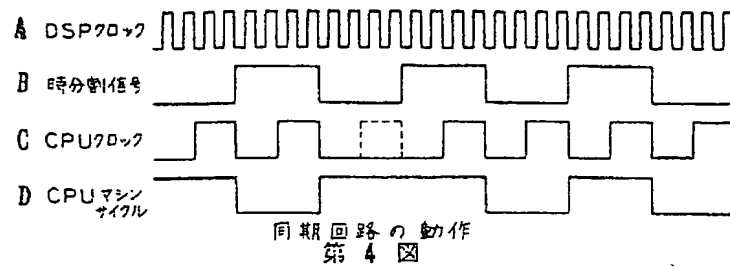
同 松隈 秀盛



実施例の要部  
第 1 図



実施例の要部  
第 2 図



実施例  
第6図

THIS PAGE LEFT BLANK